

# Intelligente Lasten

Dominik Stolte

**Zusammenfassung**—Ziel dieser Arbeit war die Entwicklung einer elektronischen Last, die auf einem FPGA als Regler basiert. Die Verwendung von FPGAs ermöglicht es, die Leistungsfähigkeit und Flexibilität elektronischer Lasten zu verbessern. In dieser Arbeit werden die für das Design der elektronischen Last relevanten Theorien ausführlich dargestellt und deren Implementation näher erläutert. Zudem wird ein Algorithmus auf Basis der Zustandsraumdarstellung vorgestellt, der es ermöglicht, beliebiges lineares Lastverhalten in einem FPGA zu simulieren.

**Schlüsselwörter**—FPGA, Regelungstechnik, Filter

## I. MOTIVATION

Eine elektronische Last ersetzt eine konventionelle ohmsche Last beim Test einer elektrischen Quelle. Sie kann – je nach Einstellung – als ohmscher Widerstand, als Konstantstromsenke, Konstantleistungssenke, oder Konstantspannungssenke betrieben werden.

Komplexeres Zweipolverhalten kann mithilfe einer PC-Schnittstelle zur Fernsteuerung erzeugt werden. Hierfür ist es erforderlich, dass die aktuelle Spannung der Last abgefragt wird und aus dieser abgetasteten Spannung ein Stromsollwert bestimmt wird. Die Latenzzeiten dieser Schnittstelle sind typischerweise nicht vorhersagbar und liegen im Millisekundenbereich. Aufgrund der fehlenden Echtzeitfähigkeit ist eine präzise Regelung nicht möglich. Die Bandbreite einer Regelung wird durch die hohe Latenz begrenzt.

Abbildung 1 beschreibt die grundsätzliche Funktionalität der entwickelten Last mit einer abgetasteten Spannung, die in einem FPGA in einen Stromsollwert gewandelt wird. Zur Spannungsquelle hin verhält sich die Last nun wie ein komplexer zeit- und zustandsabhängiger Zweipol.

Die Arbeit enthält als Neuerung zu erhältlichen Lasten eine Implementierung, die interne Zustände enthält, welche genutzt werden können, um ein zustandsabhängiges Verhalten zu erzeugen. Eine mögliche Last ist z.B. ein Motor, dessen interner Zustand die Rotationsgeschwindigkeit des Rotors ist, deren Integral die Position des Rotors ist. Die Position wird in einer realen Anwendung genutzt, um die Rotationsgeschwindigkeit zu bestimmen und diese dann zu regeln.

Als Leistungssenke wurde ein DCDC-Konverter genutzt, der elektrische Leistung aufnimmt. Das Pulsweitenverhältnis des Konverters bestimmt die aufgenommene Leistung.

Dominik Stolte, stolte@vh-s.de. Von Hoerner & Sulger GmbH, Schlossplatz 12, 68723 Schwetzingen.

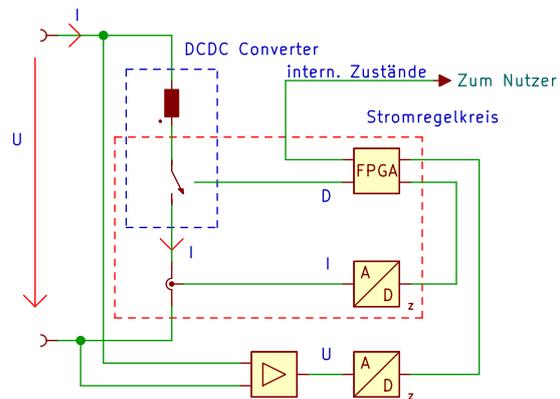


Abbildung 1. Blockschaltbild der entwickelten Last.

## II. ELEKTRISCHE ZWEIPOLE

Als elektrischen Zweipol bezeichnet man ein elektrisches Bauelement mit 2 Anschlüssen. Das Verhalten an den Klemmen dieses Bauelements wird durch seine Eigenschaften bestimmt. So haben resistive Zweipole eine Spannung/Strombeziehung ohne ein Zeitverhalten. Induktive und kapazitive Zweipole hingegen haben ein Zeitverhalten. Aus Sicht einer angeschlossenen Quelle erscheint eine elektronische Last als Zweipol.

## III. ZUSTANDSRAUMDARSTELLUNG

Die Zustandsraumdarstellung von Systemen ist eine von mehreren Möglichkeiten, ein System zu beschreiben. Sie wurde in den 1960er Jahren von Rudolf E. Kálmán entwickelt und ermöglicht es, dynamische Systeme zu beschreiben und zu analysieren. Sie wird häufig in der Regelungstechnik verwendet, um Regelungsstrategien zu entwickeln und die Stabilität und Leistung von Regelungssystemen zu überprüfen. Die Zustandsraumdarstellung setzt nicht voraus, dass das System linear und zeitinvariant ist. Sie eignet sich allerdings am besten für die Analyse von Systemen, die diese Voraussetzungen erfüllen.

### A. Einführung

Das Verhalten eines dynamischen Systems wird durch eine Differentialgleichung  $n$ -ter Ordnung beschrieben, wobei  $n$  die Anzahl voneinander unabhängiger Speicher ist. Die Differentialgleichung beschreibt die Abhängigkeit des dynamischen Systems vom Zustandsvektor  $\vec{x}$  der Speicher und vom Eingangssignalvektor  $\vec{u}$ .



In Zustandsraumdarstellung wird das System  $n$ -ter Ordnung, in ein Gleichungssystem von  $n$  Differenzialgleichungen erster Ordnung überführt. Sie beschreibt Systeme mit den beiden folgenden Vektordifferenzialgleichungen in Matrizenform:

$$\dot{\vec{x}}(t) = \mathbf{A}(t)\vec{x}(t) + \mathbf{B}(t)\vec{u}(t) \quad (1)$$

$$\vec{y}(t) = \mathbf{C}(t)\vec{x}(t) + \mathbf{D}(t)\vec{u}(t). \quad (2)$$

Mit der Systembeschreibung im Zustandsraum ist es möglich, single-input-single-output (SISO), wie auch multiple-input-multiple-output (MIMO) Systeme zu beschreiben. Weiterhin ermöglicht die Zustandsraumdarstellung, die Beschreibung von nichtlinearen Systemen. Lineare Systeme haben keine Zeitabhängigkeit in den systembeschreibenden Matrizen – aus  $\mathbf{A}(t)$  wird  $\mathbf{A}$  etc.

### B. Übertragungsfunktion

Ist die Übertragungsfunktion gesucht, so kann diese allgemein durch den folgenden Zusammenhang, mit  $\mathbf{I}$  als der Einheitsmatrix, ermittelt werden:

$$\Phi = (s\mathbf{I} - \mathbf{A})^{-1}; G(s) = \mathbf{C} \cdot \Phi \cdot \mathbf{B}. \quad (3)$$

Ist das System ein MIMO System mit  $n$  Eingängen und  $m$  Ausgängen, so ist  $G$  eine  $m \times n$  Matrix. Es gilt:

$$\vec{y}(s) = \mathbf{G}\vec{u}(s). \quad (4)$$

### C. Beobachtbarkeit und Steuerbarkeit

Eine der grundlegenden Eigenschaften von dynamischen Systemen sind Steuerbarkeit und Beobachtbarkeit [1, S. 37]. Ein Zustand eines Systems ist steuerbar, wenn ein Steuersignal  $u_t$  existiert, das dazu führt, dass dieser Zustand in finiter Zeit einen gewünschten Endzustand erreicht. Trifft dies auf jeden Zustand des Systems zu, so ist dieses System „vollständig steuerbar“ [2, S. 483]. Ein System ist vollständig steuerbar, wenn folgendes gilt:

$$\text{rang}(\mathbf{Q}_s) = n \text{ mit } \mathbf{Q}_s = [\mathbf{B} | \mathbf{A}\mathbf{B} | \mathbf{A}^2\mathbf{B} | \dots | \mathbf{A}^{n-1}\mathbf{B}]. \quad (5)$$

$\mathbf{Q}_s$  wird hierbei als Steuerbarkeitsmatrix bezeichnet. Diese ist bei der Transformation in eine andere Darstellungsform wichtig.

Ein Beispiel für ein nicht steuerbares System ist das Pendel. Ohne einen Mechanismus, um Energie in das System zu einzuleiten, ist die Position zu einer Zeit  $t$  nur über die Länge des Pendels, die Auslenkung zur Zeit  $t_0$  und die Schwerkraft bestimmt. Ein steuerbares System hingegen ist das LC-Glied. Die Zustände sind über die Eingangsspannung beeinflussbar.

Ein Zustand ist beobachtbar, wenn ein Zustand aus Messungen der Ausgangssignale zu jeder Zeit ermittelbar ist. Trifft dies auf jeden Zustand des Systems zu, so ist dieses System „vollständig beobachtbar“. [2, S. 487]

Ein System ist vollständig beobachtbar, wenn folgendes gilt:

$$\text{rang}(\mathbf{S}_b) = n \text{ mit } \mathbf{S}_b = \begin{pmatrix} \mathbf{C} \\ \mathbf{A}\mathbf{C} \\ \mathbf{A}^2\mathbf{C} \\ \vdots \\ \mathbf{A}^{n-1}\mathbf{C} \end{pmatrix}. \quad (6)$$

$\mathbf{S}_b$  wird hierbei als Beobachtbarkeitsmatrix bezeichnet. Auch diese kann für die Transformation des Systems in eine andere Darstellungsform genutzt werden. Nicht beobachtbare Systeme ergeben sich bei der Parallelschaltung mehrerer Systeme. Es lässt sich nicht feststellen, wie groß der Anteil der einzelnen Systeme am Ausgang ist, ohne die einzelnen Zustandsgrößen zu messen.

### D. Transformation von Zustandsdarstellungen

Die Zustandsraumdarstellung ist nicht eindeutig, da zu einem System unendlich viele Zustandsraumdarstellungen existieren. Ein Satz Zustände  $\vec{x}$  kann in einen anderen Darstellungsraum zu einem neuen Satz  $\vec{z}$  transformiert werden. Hierfür muss eine Transformationsmatrix  $\mathbf{P}$  gefunden werden, bei der folgendes gilt:

$$\mathbf{A}, \mathbf{B}, \mathbf{C}, \mathbf{D} \rightarrow \mathbf{P}\mathbf{A}\mathbf{P}^{-1}, \mathbf{P}\mathbf{B}, \mathbf{C}\mathbf{P}^{-1}, \mathbf{D}; \vec{z} = \mathbf{P}\vec{x}. \quad (7)$$

Die neue Zustandsdarstellung beschreibt dasselbe System, weshalb alle Systemeigenschaften nach der Transformation unverändert sind.

Die Transformation von Zustandsdarstellungen kann aus verschiedenen Gründen sinnvoll sein. Ein möglicher Grund ist, dass die Transformation zu einer vereinfachten oder übersichtlicheren Darstellung des Systems führt. Diese Darstellungen können bestimmte Eigenschaften des Systems, wie die Beobachtbarkeit, die Steuerbarkeit, oder die Eigenwerte des Systems hervorheben.

### E. Reglernormalform

Für diese Arbeit ist die Reglernormalform von besonderer Bedeutung. Die allgemeine Übertragungsfunktion eines SISO Systems  $n$ -ter Ordnung hat die folgende Form:

$$G(s) = \frac{a_0 + a_1s + \dots + a_{n-1}s^{n-1}}{b_0 + b_1s + \dots + b_{n-1}s^{n-1} + s^n}. \quad (8)$$

Abbildung 2 zeigt den Signalfluss für ein beliebiges SISO System.

### Signalfluss SISO

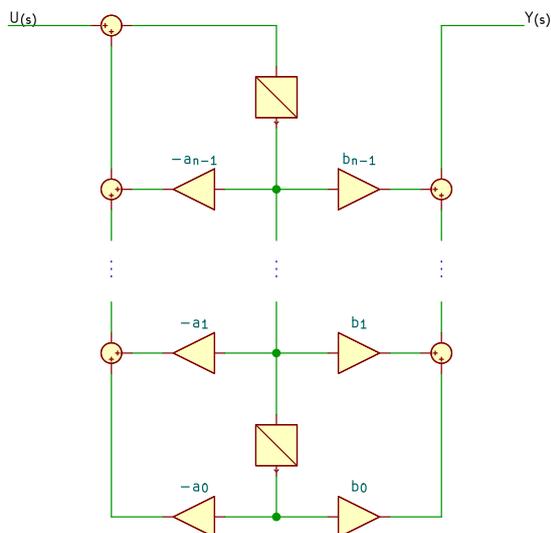


Abbildung 2. Signalfluss für ein SISO System in Reglernormalform.

Diese Darstellung hat für ein SISO System  $n$ -ter Ordnung die folgende Form:

$$A = \begin{pmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & & & \ddots & \vdots \\ 0 & 0 & \dots & 0 & 1 \\ -a_0 & -a_1 & -a_2 & \dots & -a_{n-1} \end{pmatrix} \quad (9)$$

$$B = \begin{pmatrix} 0 \\ 0 \\ \vdots \\ 0 \\ 1 \end{pmatrix} \quad (10)$$

$$C = ( b_0 \quad b_1 \quad \dots \quad b_{n-1} ). \quad (11)$$

Die Zustände  $\vec{x}$  des Systems sind nun nicht mehr direkt verfügbar, können aber über die Transformationsmatrix  $P$  aus dem Zusammenhang der Gleichung 7 aus dem transformierten Zustandsvektor  $\vec{z}$  bestimmt werden:

$$\vec{z} = P\vec{x} \rightarrow \vec{x} = P^{-1}\vec{z}. \quad (12)$$

Für die Bestimmung der Transformationsmatrix wird die Steuerbarkeitsmatrix  $Q_s$  in Gl. 5 genutzt. Für die Transformationsmatrix gilt dann:

$$P = \begin{pmatrix} q_s^\top \\ q_s^\top A \\ q_s^\top A^2 \\ \vdots \\ q_s^\top A^{n-1} \end{pmatrix}; \text{ mit } q_s = (0, \dots, 0, 1)Q_s^{-1}. \quad (13)$$

Tabelle I  
DESIGNPARAMETER DES ANALOGFRONTENDS

Symbol	Parameter	Wert
$U_{\text{ein}}$	Eingangsspannung	0 V – 40 V
$U_{\text{aus}}$	Ausgangsspannung	0 V – 4,096 V
$R_{\text{ein}}$	Eingangswiderstand	1 M $\Omega$
$B_{\text{ein}}$	Wortbreite	12 Bit
$f_s$	Abtastrate	>200 ksps

### F. Übertragung in den zeitdiskreten Bereich

Für die Berechnung der Zustände in einem FPGA ist es notwendig, das zeitkontinuierliche System in den zeitdiskreten Bereich zu übertragen. Hierfür müssen die  $A$  und  $B$  Matrizen über ein festes Zeitintervall  $T_s$  diskretisiert werden. Dabei gelten folgende allgemeine Zusammenhänge:

$$A_d = e^{AT_s} \quad (14)$$

$$B_d = \int_0^{T_s} A_d B dt. \quad (15)$$

Für die Echtzeitberechnung im FPGA kann das Matrix-exponential linear angenähert werden. Die Gleichungen vereinfachen sich dann zu:

$$A_d = AT_s + I \quad (16)$$

$$B_d = T_s B. \quad (17)$$

Es ergibt sich eine zeitdiskrete Zustandsraumdarstellung mit folgender Form:

$$\vec{x}_{k+1} = A_d \vec{x}_k + B_d \vec{u}_k \quad (18)$$

$$\vec{y}_{k+1} = C \vec{x}_k + D \vec{u}_k. \quad (19)$$

Diese Methode wird als „Euler-Vorwärts“ Methode bezeichnet und sie führt zu einer sprunginvarianten Diskretisierung eines Systems.

### IV. ANALOGFRONTEND

Die Eingangsspannung der elektronischen Last liegt im Intervall von 0 V bis 40 V. Diese Spannung muss für die A/D Wandlung herunter geteilt und gefiltert werden, um das Nyquist-Theorem für bandpassbegrenzte Systeme einzuhalten.

Zu diesem Zweck wird ein gepuffertes Butterworth Filter verwendet. Das Butterworth Filter wird durch einen Operationsverstärker von einem hochohmigen Eingangsspannungsteiler getrennt.

Die Wortbreite des Analogfrontends beträgt 12 Bit, welche durch Truncating im FPGA verkleinert werden kann, sollten im Laufe der Entwicklung die Routine-gressourcen nicht ausreichen, um das Filter zu implementieren.

Tabelle I beschreibt die Designparameter des Analogfrontends für die Spannungsmessung.

Als A/D-Wandler wurde ein LTC1420 gewählt, dessen Kennwerte in Tabelle II dargestellt sind.

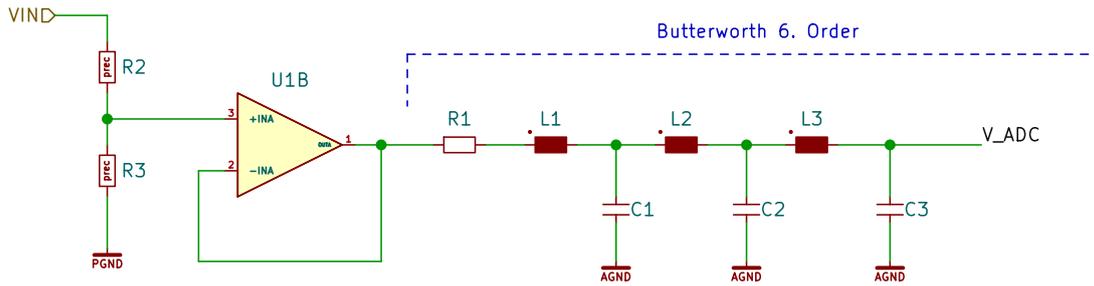


Abbildung 3. Eingangsbeschaltung des Analogfrontends.

Tabelle II  
A/D-WANDLER KENNWERTE

Symbol	Parameter	Wert
$f_s$	Abtastrate	10 Msps
$f_{\text{nutz}}$	Nutzsignalbandbreite	100 MHz
$U_{\text{ein}}$	Eingangsspannungsbereich	0 V – 4,096 V
$B_{\text{ein}}$	Wortbreite	12 Bit
$SINAD$	Signal zu Rauschen/Verzerrung	71 dB

Tabelle III  
BAUTEILPARAMETER DER FILTERKOMPONENTEN

Bauteil	Wert	Bauteil	Wert
$L1$	1,236 $\mu\text{H}$	$C1$	4,021 nF
$L2$	5,737 $\mu\text{H}$	$C2$	8,238 nF
$L3$	8,400 $\mu\text{H}$	$C3$	8,238 nF

Ein LSB (kleinst wertigstes Bit) hat an diesem ADC eine Wertigkeit von 1 mV oder  $-60$  dB. Für eine exakte Abtastung des Signals muss der kumulierte Fehler kleiner als ein halbes LSB sein. Um dies zu erreichen, muss die Amplitude einzelner Signalbestandteile der Störsignale kleiner als  $-66$  dB sein. Aufgrund auftretender Mess- und Bauteilungenauigkeiten wird im Folgenden mit einer maximalen Amplitude von  $-70$  dB für alle Störungen gerechnet.

Die erforderliche Filterordnung ergibt sich aus der nachstehenden Gleichung (20) mit:

$$n = \frac{\delta_s}{20 \cdot (\log_{10}(f_0) - \log_{10}(f_s))}. \quad (20)$$

Mit  $f_0$  als der Grenzfrequenz in Hz,  $f_s$  als der Frequenz des Stopbandes und  $\delta_s$  als der Dämpfung im Stopband. Es ist eine Filterordnung von mindestens 5 notwendig. Die Eingangsbeschaltung des LTC1420 fordert einen Kondensator am Eingang. Daher wird die Filterordnung auf 6 erhöht.

Abbildung 3 zeigt die Filterschaltung des Analogfrontends. Die Widerstände  $R2$  und  $R3$  bilden einen Spannungsteiler, der die Verstärkung und den Eingangswiderstand des Frontends bestimmt. Die Verstärkung wurde so gewählt, dass die Eingangsspannung einen Bereich von 0 bis 50 V abdeckt, da diese in der Leistungselektronik durch eine Zenerdiode auf 47 V begrenzt wird. Die 0 - 50 V werden auf den Eingangsspannungsbereich des ADC von 0 bis 4,096 V herunter geteilt und vom Operationsverstärker U1 gepuffert. Der Verstärkungsfaktor  $G_{\text{AFE}}$  beträgt somit  $\frac{4095}{50} \frac{1}{V}$  und kann mittels Trimpotentiometer genau eingestellt werden. Eine Spannung von 1 V am Eingang des Analogfrontends entspricht somit einem ADC Wert von 82. Das Netzwerk bestehend aus dem Widerstand  $R1$

und den nachfolgenden Induktivitäten und Kapazitäten bildet ein passives Butterworth Filter mit der Ordnung  $n$  von 6.

[4, S. 104] beschreibt die Bestimmung der Bauteilwerte für passive LC-Netzwerke. Die normierten Werte des Filters bestimmen sich nach folgenden Gleichungen:

$$a_k = \sin\left(\frac{\pi}{2} \frac{2k-1}{n}\right); \quad k = 1, 2, \dots, n \quad (21)$$

$$c_k = \cos^2\left(\frac{\pi k}{2n}\right); \quad k = 1, 2, \dots, n \quad (22)$$

$$g_1 = a_1; \quad g_k = \frac{a_k a_{k-1}}{c_{k-1} g_{k-1}}; \quad k = 2, 3, \dots, n. \quad (23)$$

Die ungeraden Indices  $k$  der Reihe  $g_k$  enthalten hierbei die normierten Bauteilwerte der Kapazitäten und die geraden Indices, die der Induktivitäten. Durch Denormalisierung lassen sich die konkreten Bauteilwerte aus der Grenzkreisfrequenz  $\omega_c$  und dem Eingangswiderstand  $R1$  ableiten:

$$L_k = \frac{R1 \cdot \omega'}{R' \cdot \omega_c} L'_k; \quad C_k = \frac{R' \cdot \omega'}{R1 \cdot \omega_c} C'_k. \quad (24)$$

Für ein einseitig terminiertes Butterworth Filter mit dem Eingangswiderstand von  $30 \Omega$  und einer Grenzfrequenz von 1 MHz, sowie den Skalierungsfaktoren  $R' = 1 \Omega$  und  $\omega' = 1 \text{ Hz}$  ergeben sich nach Anwendung der obigen Formeln die in Tabelle III aufgeführten Bauteilparameter.

Da Bauelemente nicht in beliebigen Nennwerten verfügbar sind und Induktivitäten parasitäre Effekte aufweisen, wurde die Einhaltung der Spezifikation durch eine Simulation verifiziert.

Abbildung 5 zeigt die Abweichungen aufgrund der Nutzung real verfügbarer Bauelemente. Die Verstärkung an der Stellen 100 kHz und 5 MHz sind in Tabelle IV angegeben.

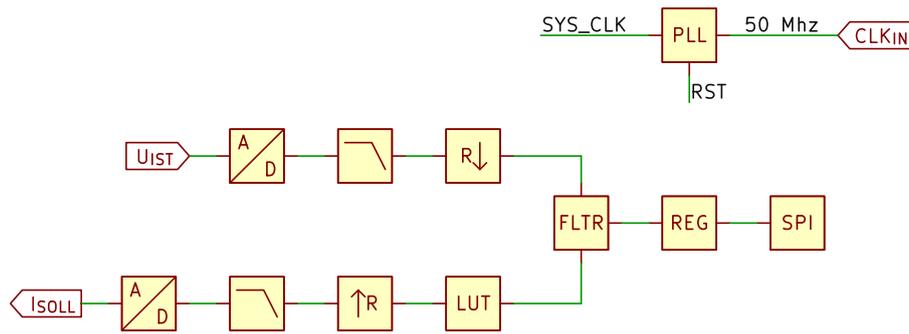


Abbildung 4. FPGA Systemebene.

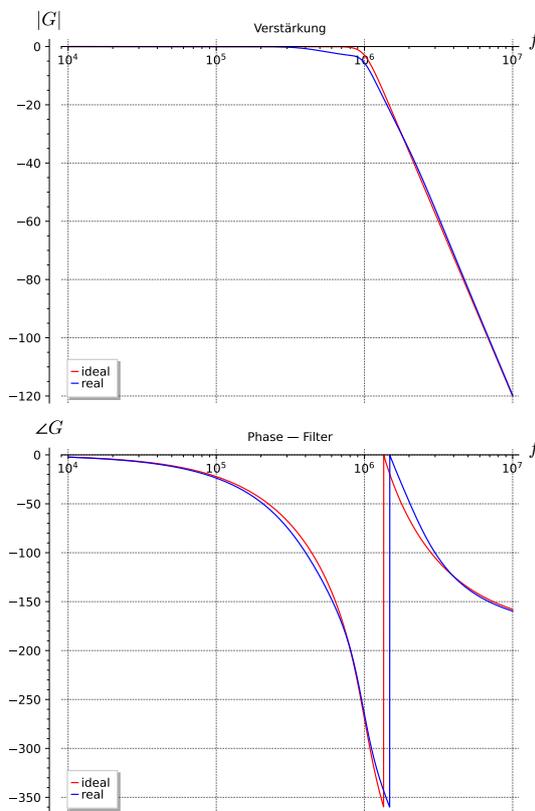


Abbildung 5. Bode Diagramm des realen und idealen Filters.

## V. DESIGN DES FPGA

Die Abbildung 4 beschreibt das Design des FPGA. Ein SPI Master wird genutzt, um mit dem FPGA zu kommunizieren. Über die SPI Schnittstelle kann ein beliebiger Master eine Verbindung mit dem FPGA aufbauen und Daten mit diesem austauschen. Die SPI Schnittstelle kann genutzt werden, um die  $A$  und  $B$  Parameter vorzugeben und damit die Funktion des Filters zu beeinflussen. Weiterhin ist es möglich, die Zustände  $\vec{z}$  des Filters abzurufen.

### A. Clock-Management-Unit

Die Clock-Management-Unit besteht aus einer PLL Zelle im FPGA und einem Zähler, welcher es ermög-

Tabelle IV  
VERSTÄRKUNGEN BEI 100 kHz UND 5 MHz

Frequenz	ideal	$ G(f) $ real	Spezifikation
100 kHz	-2,13 $\mu$ dB	-2,2 mdB	-2,75 mdB
5 MHz	-83,88 dB	-83,07 dB	-70,00 dB

Tabelle V  
TAKTFREQUENZEN DER MODULE

Modul	Clock	Teiler
ADC	10,0 MHz	4
DAC	20,0 MHz	2
CIC-Dezimator	10,0 MHz / 312,500 kHz	4 / 128
CIC-Interpolator	10,0 MHz / 312,500 kHz	4 / 128
Filter	312,500 kHz	128
Register	20,0 MHz	2
Look-Up-Table	312,500 kHz	128
SPI Controller	20,0 MHz	2

licht den PLL Takt durch Exponenten von 2 zu teilen. Der Ausgang der einzelnen Takte ist phasengleich und es werden Takte mit einem Teilungsfaktor von bis zu 128 erzeugt. Tabelle V zeigt, welche Takte in welchem Modul benötigt werden.

Nach dem Power-On-Reset des FPGA wird der PLL Takt erzeugt und die Takte für die einzelnen Module werden durch den Timer erzeugt. Die PLL Zelle erzeugt ein „Locked“ Signal, sobald die PLL stabil ist. Das Inverse Signal wird genutzt, um global den Reset der einzelnen Module zu aktivieren. Der Reset wird asynchron aktiviert und bleibt bestehen, bis der PLL Takt stabil ist. Der Reset wird dann synchron mit dem jeweiligen Takt deaktiviert.

### B. ADC Ansteuerung

Abbildung 6 beschreibt die Takterzeugung innerhalb des FPGA. Zur Ansteuerung des Analog-Digital-Konverters ist eine Taktrate von 10 MHz erforderlich. Diese wird von einem Frequenzteiler aus dem Systemtakt des FPGA gewonnen, sodass die Abtastung des Analog-Digital-Konverters synchron zum Systemtakt, bei der steigenden Flanke des ADC Taktes, möglich ist. Der Analog-Digital-Konverter Takt wird direkt nach

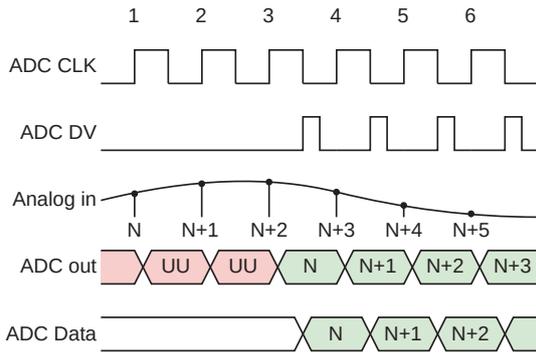


Abbildung 6. FPGA ADC Datenerfassung.

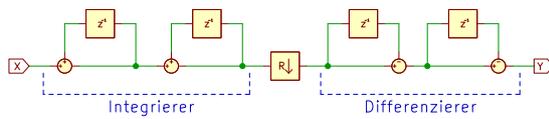


Abbildung 7. CIC Dezimationsfilter.

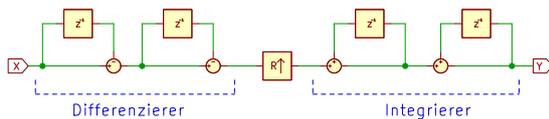


Abbildung 8. CIC Interpolationsfilter.

dem Reset des FPGA erzeugt. Die Architektur des AD-Konverters führt nach dem Start des AD-Konverters zu 2 falschen Datenworten [3]. Diese werden nach dem Reset des FPGA verworfen und erst ab dem dritten Datenwort, wird der richtige Messwert am Ausgang sichtbar.

### C. Dezimationsfilter

Das Dezimationsfilter ermöglicht es, die Rechenoperationen auf die Eingangsdaten mit einer kleineren Taktfrequenz, als der Abtastrate durchzuführen. Dies ermöglicht es mit kleineren Registerbreiten zu rechnen, da die Koeffizienten nun einen größeren Wert annehmen. Das Dezimationsfaktor  $R$  beträgt 32, was zu einem Filtertakt von nur noch 312,500 kHz anstatt 10,0 MHz führt.

Es wurde ein Dezimationsfilter 2. Ordnung in CIC Struktur implementiert. Das CIC Filter nutzt ausschließlich Additionen und Register, was es ermöglicht, die Dezimation schnell und ressourcensparend durchzuführen. Die Abb. 7 zeigt die implementierte Struktur. Das Dezimationsfilter führt die Dezimation durch, indem es von den integrierten Werten nur jeden  $R$ -ten Wert ausliest.

### D. Interpolationsfilter

Das Interpolationsfilter ist erforderlich, da das Filter mit einer kleineren Taktfrequenz betrieben wird, als die Stromregelung. Dies würde zu starken Sprüngen in den

### Direktform II

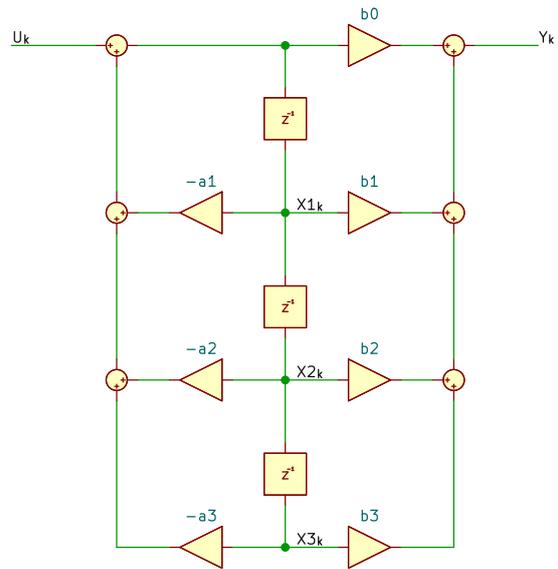


Abbildung 9. FPGA-Filter in Direktform II.

Ausgangssignalen führen, wenn das Filter einen neuen Wert errechnet hat. Um dieses Verhalten zu vermeiden, wird ein Interpolationsfilter in CIC Topologie analog zum Dezimationsfilter im vorigen Abschnitt genutzt.

Es wurde erneut ein Filter 2. Ordnung in CIC Struktur implementiert. Abbildung 8 zeigt die implementierte Struktur.

### E. Speicher

Der Speicher ist als 16 Bit breites Register implementiert und dient der Speicherung der aktuellen Mess- und Ausgangswerte der verschiedenen Module, sowie der Speicherung der aktuellen Filterkoeffizienten. Die Inhalte der Register lassen sich per SPI Schnittstelle lesen und schreiben. Hierbei ist es nicht möglich, die Ausgaben der Module zu überschreiben, um undefiniertes Verhalten zu vermeiden.

### F. Filter

Abbildung 9 beschreibt die implementierte Filterstruktur im FPGA. Es handelt sich um ein diskretes Filter in Direktform II, dessen A und B Parameter sich aus den Gleichungen in Abschnitt III direkt ergeben. Die Implementation des Filters ist die digitale Entsprechung der zeitkontinuierlichen Filterdarstellung in Abbildung 2.

## VI. AUSWERTUNG

### A. Filter

Um die Funktion des Digitalteils im FPGA im Zeitbereich zu überprüfen, wurde ein Rechtecksignal an den Filtereingang gelegt. Die Filterantwort wurde über einen am FPGA angeschlossenen DAC in ein

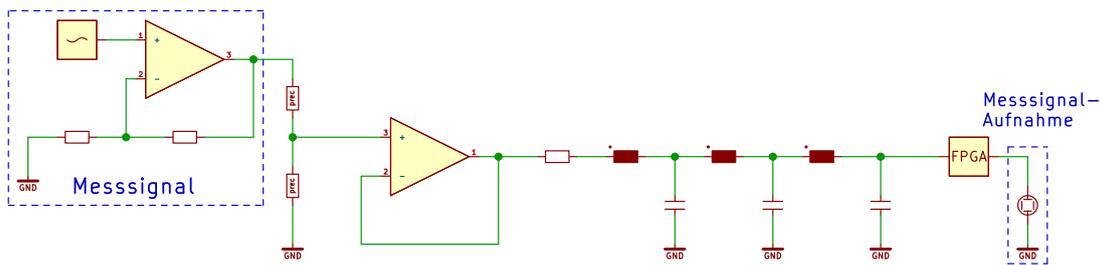


Abbildung 10. Messaufbau der Filtermessung.

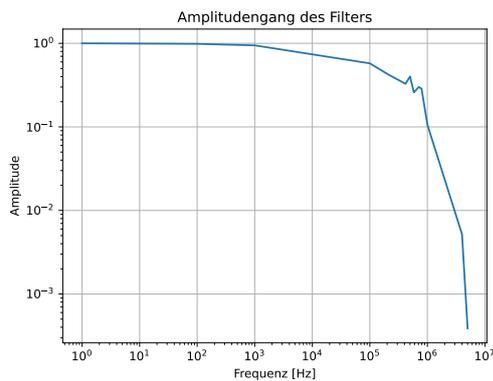


Abbildung 11. Amplitudengang des Analogfrontends.

Analogsignal gewandelt und dann gemessen. Dies ermöglicht es, das Zeitverhalten des Filters direkt am Oszilloskop abzubilden, ohne dass zusätzliche Debuglogik synthetisiert werden muss. Der Messaufbau ist in Abbildung 10 dargestellt.

Um den Aussteuerbereich des Analogfrontends abzudecken ist es notwendig, das Ausgangssignal eines Signalgenerators zu verstärken.

Die Messung des Amplitudengangs ergab eine Abweichung vom simulierten Amplitudengang. Dies ist auf die Ungenauigkeit der verwendeten Bauteile zurückzuführen. Die Abweichung ist in Abbildung 11 dargestellt.

### B. Modelltests

Die Messung in Abbildung 10 konnte genutzt werden, um die Funktion des Filters zu validieren.

Zu diesem Zweck wurde das Modell des LR-Glieds (Abb. 12) verwendet.

Das LR-Glied ist als Zweipol ein Tiefpass 1. Ordnung. Es speichert Energie im magnetischen Feld einer Spule. Dem Anstieg des Stroms wirkt hier ein Widerstand entgegen.

Die Übertragungsfunktion des LR-Glieds lautet:

$$G(s) = \frac{I_{LR}}{U_{in}} = \frac{1}{Ls + R}. \quad (25)$$

Die systembestimmende Gleichung lautet:

$$\frac{di_{LR}}{dt} = \frac{1}{L}(u_L - I_L R). \quad (26)$$

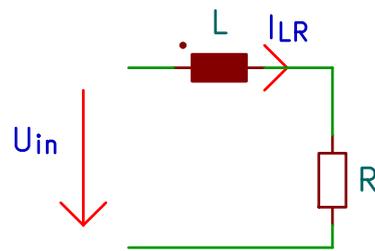


Abbildung 12. Das LR-Glied.

In Zustandsraumdarstellung wird das System so beschrieben:

$$\dot{i}_L = \left(-\frac{R}{L}\right) \cdot i_L + \left(\frac{1}{L}\right) \cdot (u_L) \quad (27)$$

$$i_L = (1) \cdot i_L + \mathcal{O} \cdot (u_L). \quad (28)$$

Mit den Gleichungen 27 und 28 lassen sich die A und B Parameter des Filters bestimmen. Daraufhin wurde mit dem Funktionsgenerator eine Sprungfunktion erzeugt und die Sprungantwort aufgenommen.

Die Abbildung 14 zeigt die Systemantwort auf einen Eingangssprung von 0 V auf 7 V.

Die Abbildungen 15 bis 17 zeigen die Systemantwort auf eine Sinusanregung mit 200 kHz, der Grenzfrequenz 1590 kHz und 22 kHz. In diesen Abbildungen sind das Frequenzverhalten des Filters erkennbar.

## VII. ZUSAMMENFASSUNG UND FAZIT

Abbildung 13 zeigt die entwickelte Schaltung mit Converter und Frontend. In dieser Arbeit wurden mehrere Ergebnisse erzielt. Es wurde ein Analogfrontend entwickelt, welches eine präzise Spannungsmessung ermöglicht.

Darüber hinaus wurde eine Filtertopologie entwickelt und in einem FPGA implementiert, welche eine Simulation von Systemen bis zur dritten Ordnung ermöglicht. Die Filtertopologie ist erweiterbar, solange entsprechende Ressourcen im FPGA zur Verfügung stehen.

Ein weiteres Ergebnis der Arbeit ist die Entwicklung von Modellen für verschiedene Lasten und die Erstellung der Berechnungsvorschriften für diese Lasten. Dadurch wird es ermöglicht, die Koeffizienten für diese Lasten einfach zu bestimmen, was die Anwendung vereinfacht.

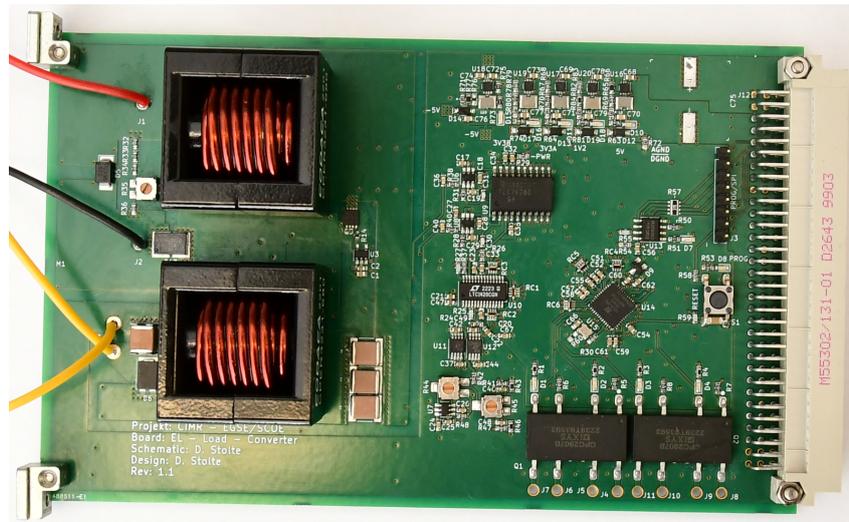


Abbildung 13. Entwickelte Schaltung mit Converter und Frontend.

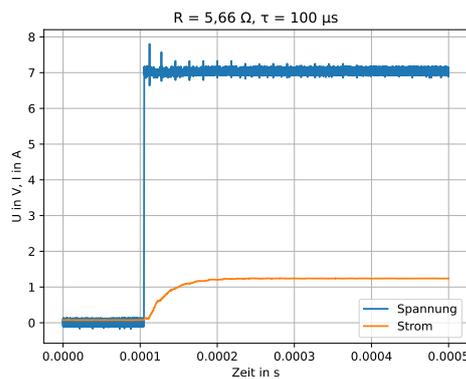


Abbildung 14. Sprungantwort  $R = 5,66 \Omega$  und  $\tau = 100 \mu s$ .

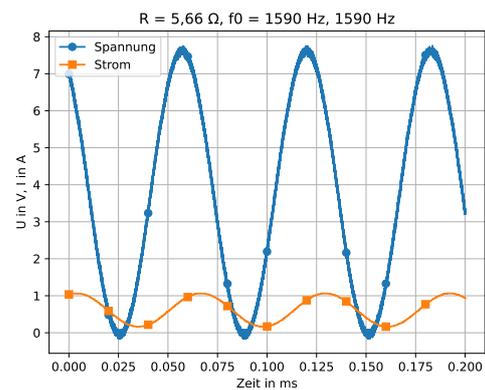


Abbildung 16.  $R = 5,66 \Omega$  und  $f_c = 1,59 \text{ kHz}, 1590 \text{ Hz}$ .

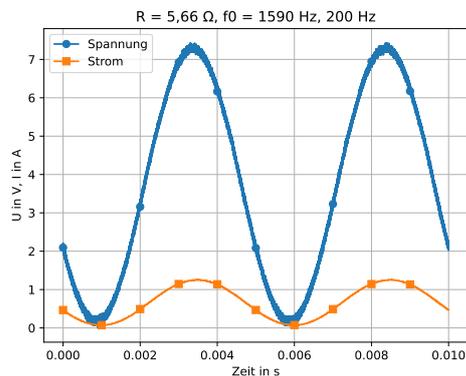


Abbildung 15.  $R = 5,66 \Omega$  und  $f_c = 1,59 \text{ kHz}, 200 \text{ Hz}$ .

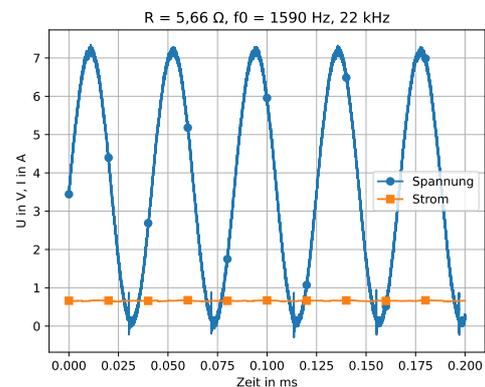


Abbildung 17.  $R = 5,66 \Omega$  und  $f_c = 1,59 \text{ kHz}, 22 \text{ kHz}$ .

### VIII. AUSBLICK

Auf Basis dieser Arbeit ergeben sich weitere mögliche Entwicklungsrichtungen:

- Leistungselektronik: Im Rahmen der Arbeit wurde ein DC DC-Konverter in SEPIC Topologie

genutzt, um elektrische Leistung aufzunehmen. Die Nutzung eines DCDC-Konverters verursacht besonders bei großen aufgenommenen Strömen Störungen im Analogfrontend. Alternativ zu geschalteten DCDC-Konvertern ist die Verwendung

von Verstärkern im Linearbereich möglich. Diese wandeln die aufgenommene Energie direkt in Wärme um.

- Analogfrontend: Die Nutzung eines Sigma/Delta ADC erlaubt es die Dezimation bereits im ADC durchzuführen. Dies würde das Filter im Analogfrontend vereinfachen.
- Lastquadranten: Die entwickelte Last erlaubt nur die Verarbeitung positiver Spannungen und Ströme. Dies kann durch die Entwicklung eines Analogfrontends, welches positive und negative Spannungen erfassen kann, auf andere Lastquadranten erweitert werden.
- Digitalfilter: Durch die Dezimation im FPGA ergibt es sich, dass Ressourcen im Filter frei werden. So können mehrere Multiplikationen von einem Multiplikator durchgeführt werden.
- FPGA: Die Multiplikatoren und Speicherressourcen des FPGA wurden im Laufe dieser Arbeit voll ausgenutzt. Dieses Problem könnte durch die Nutzung eines anderen FPGA gelöst werden. Die verwendete Toolchain unterstützt neben Lattice ICE40 FPGA, auch die größere ECP5 Familie, sowie Typen von Xilinx. Ein Grund für die Verwendung des ICE40 war die Verfügbarkeit der Bauteile und die Handlötbarkeit des Bauelements.

#### LITERATURVERZEICHNIS

- [1] Walter Hildebrand. *Zustandsregelung*. Wiesbaden, Springer Vieweg, 2019.
- [2] R.E. Kalman. „On the general theory of control systems“. In: *IFAC Proceedings Volumes 1.1* (1960). 1st International IFAC Congress on Automatic and Remote Control, Moscow, USSR, 1960, S. 491–502.
- [3] Linear Technologies. *LTC1420 12-Bit 10Msps Sampling ADC*. 1999.
- [4] G. L. Matthaei, L. Young und E. M. T. Jones. *Microwave Filters, Impedance-Matching Networks, and Coupling Structures*. ARTECH HOUSE. Artech House Microwave Library, 1964.



**Dominik Stolte** erhielt den akademischen Grad des Master of Science in Informatik von der Hochschule Mannheim im Jahr 2023. Aktuell arbeitet er als Entwicklungsingenieur bei der von Hoerner und Sulger GmbH im Bereich der Hardwareentwicklung für Raumfahrtssysteme.

