

# Analogen-MPP-Tracking mit Spitzenwertdetektion

Patrick Mader, Sascha Eckerter, Rainer Merz

**Zusammenfassung**—Moduloptimierer erhöhen die Leistungsentnahme von Photovoltaik-(PV-)Anlagen bei Verschattungen, indem sie jedes Modul im Punkt maximaler Leistung (MPP) betreiben, unabhängig von der jeweiligen Einstrahlung. Dafür muss jedes PV-Modul mit einem Moduloptimierer ausgerüstet sein, was die Anschaffungskosten der Anlage erhöht. Deshalb ist eine besonders kostengünstige Realisierung von Moduloptimierern wichtig. Dies lässt sich durch Erhöhen der Taktfrequenz der Leistungselektronik und damit einem Verkleinern der passiven Bauelemente erreichen. Da das MPP-Tracking aber in der Regel auf einem Mikrocontroller erfolgt, führt das zu steigenden Kosten für einen schnellen Mikrocontroller. Deshalb stellt dieses Paper einen analogen MPP-Tracker vor, der ein kostengünstiges Erhöhen der Taktfrequenz ermöglicht und gleichzeitig durch Integration von eigener Spannungsversorgung und Treiberschaltung weitere Kosten reduziert. Der MPP-Tracker basiert auf einer Spitzenwertdetektion und wurde in einer analogen anwendungsspezifischen integrierten Schaltung (ASIC) integriert. Messung des ASICs an einer Leistungselektronik zeigen die Funktionsfähigkeit im erforderlichen Arbeitsbereich.

**Schlüsselwörter**—MPP-Tracking, Analoges MPP-Tracking, Moduloptimierer, ASIC, Photovoltaik, Peak-Detector, Watchdog-Timer, Perturb-And-Observe

## I. EINLEITUNG

Eine PV-Anlage besteht typischerweise aus mehreren in Serie geschalteten PV-Modulen, die einen Strang bilden. Dadurch ist der Strom  $I$  durch jedes Modul gleich und die Modulspannungen addieren sich zur Gesamtspannung. Antiparallel zu jedem Modul befinden sich Bypass-Dioden, diese schützen die Module vor thermischer Überlastung. Denn wie in Abbildung 1 zu sehen, ist der Strom  $I_1$  eines PV-Moduls abhängig von der Einstrahlung  $E$  und die Spannung  $U_1$  abhängig von der Temperatur  $\vartheta$ . Dadurch ist auch der MPP abhängig von Einstrahlung  $E$  und Temperatur  $\vartheta$ . Kommt es z.B. aufgrund einer Verschattung an einem Modul zu einer kleineren Einstrahlung  $E$ , dann sinkt der lieferbare Strom des Moduls ab. Liegt nun der Strangstrom, der sich durch die anderen Module ergibt über dem Kurzschlussstrom des verschatteten Moduls, dann verschiebt sich der Arbeitspunkt in den Verbraucherbetrieb des PV-Moduls. Dadurch nimmt das Modul Leistung auf und die Spannung über dem Modul  $U_1$

Patrick Mader, patrick.mader@h-ka.de, Sascha Eckerter, sascha.eckerter@h-ka.de, Rainer Merz, rainer.merz@h-ka.de, Hochschule Karlsruhe – University of Applied Sciences (HKA), Moltkestraße 30, 76133 Karlsruhe.

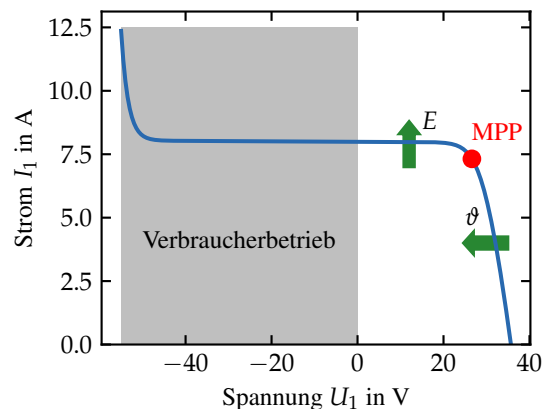


Abbildung 1. Strom-Spannungskennlinie eines PV-Moduls. Im MPP gibt das Modul die maximal mögliche Leistung ab. Eine steigende Temperatur  $\vartheta$  verschiebt die Kennlinie zu kleineren Spannungen und eine steigende Einstrahlung verschiebt die Kennlinie zu höheren Strömen.

wird negativ. Durch die negative Spannung leitet die Bypassdiode und begrenzt die Verlustleistung des Moduls. Die Bypassdiode verhindert so eine thermische Zerstörung des Moduls. Allerdings liefert das verschattete Modul dann keine Leistung mehr, obwohl auch bei reduzierter Einstrahlung noch Leistung entnehmbar wäre. Eine Abhilfe schaffen hierbei sogenannte Moduloptimierer. Ein typischer Moduloptimierer, wie z.B. in [1] oder [8] vorgestellt, ist in Abbildung 2 zusehen und besteht aus einem Gleichspannungswandler und einem MPP-Tracker. Am Eingang des Moduloptimierers befindet sich das PV-Modul mit der Spannung  $U_1$  und am Ausgang wird der restliche PV-Strang durch einen ohmschen Widerstand  $R_L$  mit der Spannung  $U_2$  modelliert. Der vorgestellte Moduloptimierer verwendet als Gleichspannungswandler einen Tiefsetzsteller, der aus einer Halbbrücke mit zwei Transistoren T1, T2 und einem Ausgangsfilter  $L, C_2$  besteht. Die Transistoren werden über komplementäre pulsweitenmodulierte Signale (PWM-Signale) angesteuert. Dabei ist eine wichtige Kenngröße für die PWM-Signale der Tastgrad

$$d := \frac{T_{T1,\text{ein}}}{T} = \frac{T_{T2,\text{aus}}}{T}, \quad (1)$$

der das Verhältnis von Einschaltdauer  $T_{T1,\text{ein}}$  von T1 bzw. Ausschaltdauer  $T_{T2,\text{aus}}$  von T2 bezogen auf die Periodenlänge  $T$  der PWM-Signale angibt. Die mit den PWM-Signalen angesteuerte Halbbrücke liefert

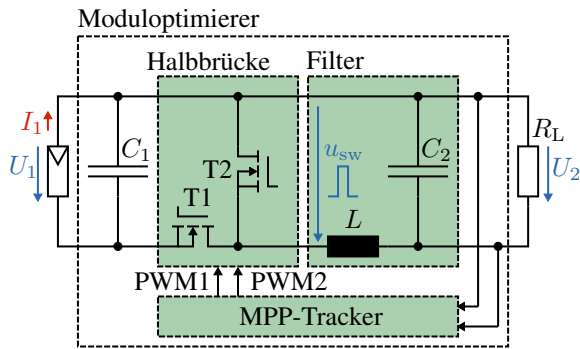


Abbildung 2. Typischer Aufbau eines Moduloptimierers. Halbbrücke T1/T2 und Filter  $L/C_2$  bilden einen Tiefsetzsteller. Durch Ansteuern des Tiefsetzstellers durch den MPP-Tracker arbeitet das PV-Modul mit der Spannung  $U_1$  und dem Strom  $I_1$  im MPP. Als Eingangsgröße verwendet der MPP-Tracker die Ausgangsspannung  $U_2$ . Der Lastwiderstand  $R_L$  modelliert den restlichen Modulstrang.

dadurch am Ausgang eine Rechteckspannung  $u_{sw}$  mit dem Gleichanteil [9]

$$U_{sw} = \frac{1}{T} \int_0^T u_{sw} dt = d \cdot U_1 \quad (2)$$

und harmonische Oberschwingungen. Die Oberschwingungen werden durch den nachfolgenden Filter gedämpft und es ergibt sich der Zusammenhang

$$\frac{U_2}{U_1} = d, \quad (3)$$

des Verhältnisses von Ausgangsspannung  $U_2$  zu Eingangsspannung  $U_1$  und Tastgrad  $d$ . Diesen Zusammenhang nutzt der MPP-Tracker, um das angeschlossene PV-Modul im MPP zu betreiben, indem er durch Variieren des Tastgrades und Messen der Ausgangsleistung diesen MPP findet. Dabei verwendet der hier vorgestellte MPP-Tracker lediglich eine Spannungsmessung, um den MPP zu finden, da am ohmschen Widerstand der Zusammenhang

$$U_2 = \sqrt{P \cdot R_L} \quad (4)$$

gilt und demnach die Spannung proportional zur Leistung ist.

Da jedes Modul in einem PV-Strang mit einem Moduloptimierer ausgestattet wird, muss auf einen möglichst robusten und kostengünstigen Entwurf der Elektronik geachtet werden. Die meisten Kosten der Elektronik verursachen die passiven Bauelemente  $L$ ,  $C_1$  und  $C_2$  aus Abbildung 2. Wie die Schaltung angesteuert werden muss, um möglichst niedrige Induktivitäts- und Kapazitätswerte verwenden zu können, wird klar, wenn die entsprechenden Dimensionierungsformeln herangezogen werden. Für die Eingangskapazität ergibt sich nach [5] der Zusammenhang

$$C_1 \propto \frac{1}{f}, \quad (5)$$

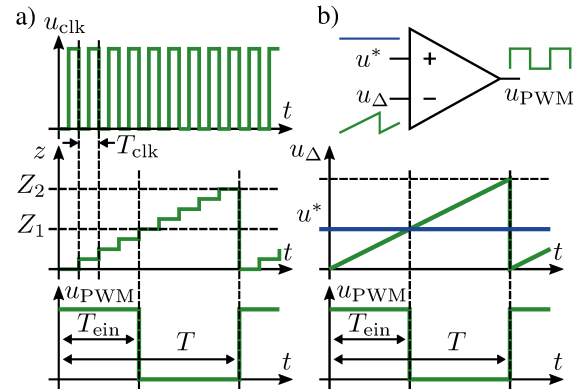


Abbildung 3. a) PWM-Erzeugung mit einem Mikrocontroller. Jeder Takt  $u_{clk}$  erhöht den Zähler  $z$ . Erreicht  $z$  das erste Vergleichsregister  $Z_1$  schaltet  $u_{PWM}$  auf LOW und nach Erreichen von  $Z_2$  ist die PWM-Periode beendet. b) Analoge PWM-Erzeugung mit Komparator durch Vergleich des Sollwerts  $u^*$  mit einem Trägersignal  $u_\Delta$ .  $u^*$  bestimmt  $d$  und die Frequenz von  $u_\Delta$  die PWM-Frequenz.

für die Ausgangskapazität liefert [2] den Zusammenhang

$$C_2 \propto \frac{1}{f} \quad (6)$$

und für die Induktivität resultiert nach [2] der gleiche Zusammenhang

$$L \propto \frac{1}{f}. \quad (7)$$

Damit lässt sich feststellen, dass das Erhöhen der PWM-Frequenz kleinere Werte für die passiven Bauteile des Tiefsetzstellers erlaubt. Jedoch führt das Erhöhen der PWM-Frequenz  $f = 1/T$  bei einem Mikrocontroller gleichzeitig zu einer Verschlechterung der PWM-Auflösung  $d_{min}$  bei gleichbleibender Frequenz  $f_{clk}$  des Taktes  $u_{clk}$ , wie auch an Abbildung 3.a) zu erkennen ist. Denn um mit einem heutzutage standardmäßig verwendeten Mikrocontroller eine PWM zu erzeugen, wird ein Zähler  $z \in \mathbb{N}$  verwendet, der nach jeder Periode  $T_{clk}$  des Taktes  $u_{clk}$  hochgezählt wird. Erreicht  $z$  das erste Vergleichsregister  $Z_1 \in \mathbb{N}$ , dann wird die PWM-Spannung  $u_{PWM}$  auf LOW geschaltet, somit bestimmt  $Z_1$  die Einschaltzeit  $T_{ein}$  der PWM. Nach dem Erreichen des zweiten Vergleichsregisters  $Z_2 = \{Z_2 \in \mathbb{N} | Z_2 \geq Z_1\}$  ist eine PWM-Periode beendet und  $z$  beginnt von vorne. Das Vergleichsregister  $Z_2$  bestimmt somit die Periodendauer

$$T = (Z_2 + 1) \cdot T_{clk} \quad (8)$$

und neben  $Z_1$  auch den Tastgrad  $d = Z_1 / (Z_2 + 1)$ . Weiter lässt sich die Auflösung, also die kleinste mögliche Änderung des Tastgrades mit

$$\Delta d_{min} = \frac{\partial d}{\partial Z_1} = \frac{1}{Z_2 + 1} \quad (9)$$

berechnen. Für ein effizientes MPP-Tracking mit hoher Taktfrequenz stehen die Gleichungen 8 und 9

allerdings im Widerspruch, da ein Vergrößern von  $Z_2$  zwar die Auflösung verbessert, aber gleichzeitig die Taktfrequenz verkleinert und umgekehrt. Die naheliegende Möglichkeit die Taktfrequenz zu erhöhen, ist das Verwenden eines Mikrocontrollers mit hoher Clock-Frequenz, was allerdings zu einem teuren Mikrocontroller führt. Eine andere Möglichkeit ist die Verwendung eines analogen PWM-Generators, wie in Abbildung 3.b) zusehen. Analoge PWM-Generatoren arbeiten mit einem Komparator, an dem der Sollwert des Tastgrads  $u^*$  mit einem dreieckförmigen Trägersignal  $u_\Delta$  verglichen wird. Damit ist die Auflösung

$$\Delta d_{\min} = \lim_{Z_2 \rightarrow \infty} \frac{1}{Z_2} = 0, \quad (10)$$

bei unendlich vielen Stufen  $Z_2$  und damit theoretisch unendlich groß. Die PWM-Frequenz  $f$  kann dadurch kostengünstig mit der Frequenz des Dreieckgenerators erhöht werden. Deshalb beschäftigt sich diese Arbeit mit der Entwicklung eines MPP-Tracking-Verfahrens für einen analogen ASIC. Die Verwendung eines ASICs führt zu zusätzlichen Kosteneinsparungen, da überflüssige Funktionen eines Mikrocontrollers entfallen und benötigte Funktionen, wie Spannungsversorgung und Gate-Treiber auch integriert werden können. Dadurch sinkt auch die Anzahl an externen Bauteilen und somit wird der MPP-Tracker durch die geringere Anzahl an Lötstellen robuster.

Zur Vorstellung des entwickelten ASICs beginnt diese Arbeit zunächst in Abschnitt II mit der Erläuterung des MPP-Tracking-Verfahrens anhand eines Blockschaltbilds. Anschließend werden die wichtigsten Teilschaltungen anhand von Schaltplänen gezeigt. Der Abschnitt III stellt den gefertigten ASIC und die Testschaltung vor und zeigt anschließend die Messergebnisse. Abschließend fasst Abschnitt IV die Arbeit zusammen.

## II. ANALOGES MPP-TRACKING

Für die Auswahl des Verfahrens zum MPP-Tracking kommen verschiedene Algorithmen infrage, die in der Literatur [6] auch schon in digitale und analoge Implementation klassifiziert sind. Aufgrund der niedrigen Komplexität und der relativ hohen Effizienz wird der Perturb-And-Observe Algorithmus als Grundlage verwendet. Beim Perturb-And-Observe Verfahren wird der Tastgrad solange in die gleiche Richtung Schrittweise verändert, also entweder stetig vergrößert oder stetig verkleinert, bis die im aktuellen Schritt  $k$  gemessene Leistung  $P[k]$  kleiner als die Leistung  $P[k-1]$  aus dem vorherigen Schritt  $k-1$  ist. Erst dann wird die Richtung umgeschaltet und der Tastgrad wieder solange in diese Richtung verändert, bis  $P[k] < P[k-1]$  ist und so weiter. Ist der MPP gefunden, dann pendelt der Tastgrad um den Tastgrad im MPP. Beim klassischen Perturb-And-Observe Algorithmus muss demnach immer die Leistung aus dem vorherigen Schritt, z.B. mit

einem Abtasthalteglied gespeichert werden, um dies zu umgehen wird das vorgestellte Verfahren um einen Spitzenwertdetektor erweitert. Der Spitzenwertdetektor erkennt, wenn die aktuelle Leistung  $P(t)$  kleiner ist als der Maximalwert

$$P_{\max} = \max_{t \in T_{r,k}} (P(t)) \quad (11)$$

im Zeitabschnitt  $T_{r,k} := [t_{k-1}, t_k]$  mit der aktuellen Richtung und schaltet dann die Richtung um. Die Umsetzung des MPP-Trackings mit Spitzenwertdetektion wird im Folgenden vorgestellt.

### A. MPP-Tracking mit Spitzenwertdetektion

Das Blockschaltbild des MPP-Trackers ist in Abbildung 4 zusehen. Das PWM-Signal  $u_{\text{PWM}}$  mit steigendem oder fallenden Tastgrad  $d$  wird am Komparator durch Vergleich des Dreiecksignal  $u_\Delta$  mit dem Signal aus dem Rampengenerator  $u_{\text{Rampe}}$  erzeugt. Die Eingangsgröße des Rampengenerators  $u_{\text{tgl}}$  speichert dabei die Information, ob der Tastgrad gerade vergrößert oder verkleinert wird. Die Eingangsgröße des MPP-Trackers ist die Ausgangsspannung des Tiefsetzstellers  $u_2$  aus Abbildung 2, da diese Proportional zur Leistung  $P$  ist. Diese wird zunächst mit dem Eingangsverstärker auf den internen Spannungspegel  $u_{\text{in}}$  des ASICs gewandelt. Anschließend liegt  $u_{\text{in}}$  am Spitzenwertdetektor an. Dieser gibt an seinem Ausgang den im aktuellen Zeitabschnitt  $T_{r,k} := [t_{k-1}, t_k]$  gespeicherten Maximalwert

$$u_{\max} = \max_{t \in T_{r,k}} (u_{\text{in}}) \quad (12)$$

von  $u_{\text{in}}$  aus. Der Zeitabschnitt  $T_{r,k}$  wird von einem Reset-Signal beendet. Die beiden Spannungen  $u_{\text{in}}$  und  $u_{\max}$  dienen zum Detektieren des MPP. Denn wenn  $|u_{\max}| \leq |u_{\text{in}}|$  gilt, dann steigt  $u_{\text{in}}$  noch und damit auch die Leistung  $P$  und der MPP ist noch nicht überschritten. Gilt jedoch  $|u_{\max}| \geq |u_{\text{in}}|$ , dann fällt  $u_{\text{in}}$  und damit ist der MPP überschritten. Das wird durch die nachfolgende Differenzstelle mit Hystereseschaltung ausgewertet und führt zum Umschalten des Toggle-Flip-Flops. Das Toggle-Flip-Flop speichert mit seiner Ausgangsgröße  $u_{\text{tgl}}$  die Information in welche Richtung der Tastgrad des PWM-Signals geändert wird. Gleichzeitig setzt jede Flanke an  $u_{\text{tgl}}$  den Spitzenwertdetektor und den Watchdog-Timer zurück. Dadurch kann der Spitzenwertdetektor wieder den neuen Maximalwert  $u_{\max}$  von  $u_{\text{in}}$  des neuen Zeitabschnitts  $T_{r,k+1}$  speichern. Für den Fall, indem der MPP-Tracker in einem ungünstigen Betriebspunkt feststeckt und den MPP nicht findet, löst der Watchdog-Timer aus, da es zu keinem Reset durch  $u_{\text{tgl}}$  kommt. Ein ungünstiger Betriebspunkt kann entstehen, wenn das Rampensignal  $u_{\text{Rampe}}$  an der positiven oder negativen Spannungsgrenze ist und durch  $u_{\text{tgl}}$  weiter steigen oder fallen

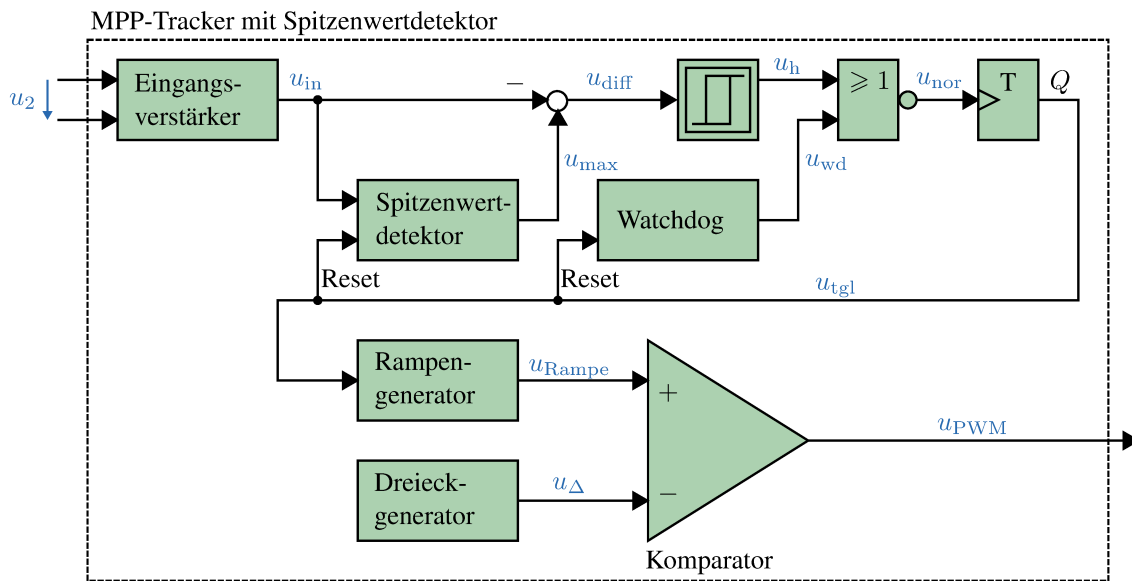


Abbildung 4. Blockschaltbild des analogen MPP-Trackers mit Spitzenwertdetektor. Der Eingangsverstärker wandelt die Eingangsspannung  $u_2$  auf den Spannungspegel  $u_{in}$  des ASICs. Der Vergleich von Spitzenwert  $u_{max}$  und aktuellen Wert  $u_{in}$  liefert die Information, wann der MPP überschritten ist und schaltet über das Toggle-Flip-Flop die Suchrichtung  $u_{tgl}$  um. Dieses Umschalten führt zum Zurücksetzen des Spitzenwertdetektors und des Watchdog-Timers. Der Watchdog-Timer dreht die Richtung, wenn es zu keiner Detektion eines MPPs innerhalb der Watchdog-Zeit kommt.  $u_{tgl}$  erzeugt am Komparator zusammen mit  $u_{Delta}$  ein PWM-Signal  $u_{PWM}$  mit steigendem oder fallendem Tastgrad.

soll. Dann bleibt der Tastgrad konstant und die MPP-Erkennung kann keinen MPP finden. Der Watchdog-Timer schaltet dann wie die MPP-Erkennung die Richtung des Tastgrads um. Der nachfolgende Abschnitt stellt die wichtigsten Teilschaltungen des Blockschaltbilds vor.

1) *Spitzenwertdetektor*: Die Aufgabe des Spitzenwertdetektors ist es an seinem Ausgang  $u_{max}$  den aktuellen Maximalwert von  $u_{in}$  zu speichern bis ein Rücksetzbefehl an  $u_{tgl}$  kommt. Das Grundprinzip basiert dabei auf der Operationsverstärkerschaltung mit Diode am Ausgang und Kondensator mit Rückkopplung auf die Eingänge des Operationsverstärkers, wie sie in [10] vorgestellt ist. Allerdings zeigt sich bei dieser Schaltung, dass ein leichtes Überschwingen der Kondensatorspannung sofort zu einer zu hohen Maximalspannung  $u_{max}$  führt, die wiederum aufgrund der Diode nicht mehr abgebaut werden kann. Deshalb wurde im Zuge der Arbeit ein neuer Spitzenwertdetektor mit einstellbarer Reglerverstärkung entwickelt, dieser ist in Abbildung 5 dargestellt. Der entwickelte Spitzenwertdetektor besteht am Eingang aus einem Differenzverstärker mit Sperrschicht-Feldeffekttransistoren (JFETs), da diese keine Gate-Ströme  $I_G = 0$  besitzen und somit den Kondensator  $C$  nicht über diese laden/entladen. Die Stromspiegelkonfiguration bestehend aus T1, T3 und T5, T7 ermöglicht einen niedrigeren Eingangsspannungsbereich von

$$u_{in} \in [0, U_{cc} - U_{BE} - U_{sq}] \quad (13)$$

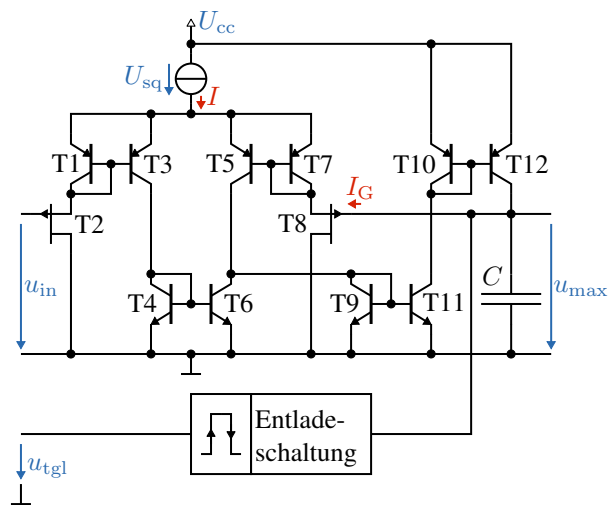


Abbildung 5. Spitzenwertdetektor mit Entladeschaltung. Die Schaltung besteht aus einem Differenzverstärker mit den Transistoren T1 bis T8 und einer Stromspiegelstufe T9 bis T12, die nur einen positiven Strom liefern kann. Dadurch liefert die Schaltung am Ausgang  $u_{max}$  den Maximalwert von  $u_{in}$  bis eine Flanke an  $u_{tgl}$  über die Entladeschaltung den Kondensator  $C$  entlädt.

unter der Annahme, dass über der Stromquelle  $I$  mindestens  $U_{sq} \approx 1$  V abfallen muss. Am Ausgang des Differenzverstärkers befinden sich ein NPN- und ein PNP-Stromspiegel, der aus den Transistorpaaren T9, T11 und T10, T12 besteht. Durch die Verwendung von unterschiedlichen Emitterflächen  $n_{T,i}$ ,  $i \in$

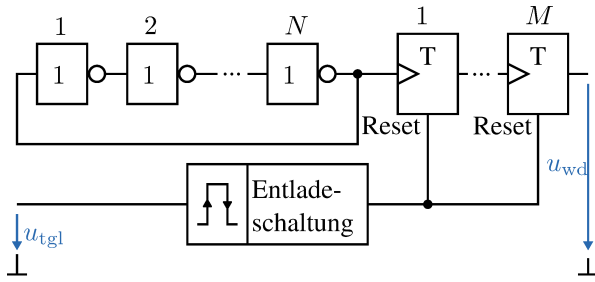


Abbildung 6. Watchdog-Timer mit Entladeschaltung. Der Ringoszillator bestehend aus Invertern 1 bis  $N$  generiert den Takt. Toggle-Flip-Flops 1 bis  $M$  arbeiten als Frequenzteiler und passen so den Takt auf die erforderliche Watchdog-Zeit  $T_{wd}$  an. Nachdem die Watchdog-Zeit erreicht ist, schaltet Ausgang  $u_{wd}$  von LOW auf HIGH. Die Flanke an  $u_{tgl}$  setzt über die Entladeschaltung den Watchdog-Timer zurück.

{9, 10, 11, 12} lässt sich damit die Verstärkung der Stromspiegel [3] mit

$$k = \frac{n_{T11} n_{T12}}{n_{T9} n_{T10}} \quad (14)$$

einstellen und so lässt sich ein Überschwingen der Kondensatorspannung verhindern. Über die flankensensitive Entladeschaltung wird der Kondensator  $C$  entladen, sobald eine fallende oder steigende Flanke an  $u_{tgl}$  entsteht.

2) *Watchdog-Timer*: Der Watchdog-Timer erkennt, wenn für eine eingestellte Zeit  $T_{wd}$  kein MPP detektiert wird und schaltet dann seinen Ausgang  $u_{wd}$  von LOW auf HIGH. Der Aufbau der Schaltung ist in Abbildung 6 zusehen. Der Takt des Watchdog-Timers entsteht durch einen Ringoszillator [7], der mit den Invertern 1 bis  $N$  aufgebaut ist. Durch eine ungerade Anzahl  $N = 2n + 1, n \in \mathbb{N}$  an Invertern ergibt sich durch die Kette eine Phasenverschiebung des Signals von  $180^\circ$ , was zu einer Oszillation führt. Die Frequenz des Oszillators ergibt sich aus der Summe der Verzögerungen  $\tau$  der Inverter zu

$$f = \frac{1}{2N\tau} \quad (15)$$

Der anschließende Frequenzteiler, bestehend aus den Toggle-Flip-Flops 1 bis  $M$  verringert die Taktfrequenz auf die benötigte Auslösezeit

$$T_{wd} = N\tau M \quad (16)$$

Über eine flankensensitive Entladeschaltung werden die Toggle-Flip-Flops 1 bis  $M$  zurückgesetzt, sobald eine Signaländerung an  $u_{tgl}$  entsteht und der Watchdog beginnt von vorne.

3) *Rampengenerator*: Der Rampengenerator erzeugt je nachdem ob der Eingang  $u_{tgl}$  auf HIGH oder LOW ist eine steigende oder fallende Rampe und ist in Abbildung 7 dargestellt. Die Schaltung besteht aus einem Transkonduktanzverstärker (OTA), der ausschließlich im Großsignalbereich betrieben wird. Dafür ist die Ausgangsstufe des OTAs angepasst, um sehr

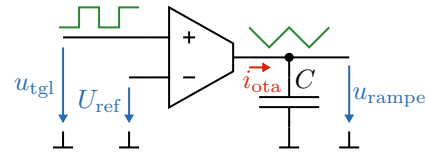


Abbildung 7. Rampengenerator bestehend aus OTA und Kondensator  $C$ . Je nachdem ob  $u_{tgl}$  HIGH oder LOW ist, entsteht am Ausgang des OTAs positiver oder negativer Ausgangsstrom  $i_{ota}$ , den der Kondensator zu rampenförmiger Spannung  $u_{rampe}$  integriert.

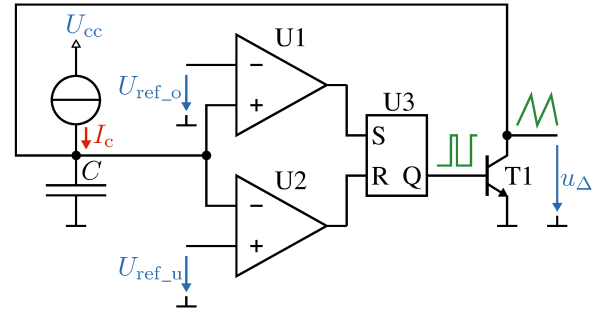


Abbildung 8. Dreieckgenerator bestehend aus Stromquelle  $I_c$ , die den Kondensator  $C$  lädt und einer Hystereseschaltung, bestehend aus U1 bis U3 und T1. Erreicht die Kondensatorspannung  $u_\Delta$  die obere Schaltschwelle  $U_{ref\_o}$ , dann entlädt die Hystereseschaltung den Kondensator  $C$  bis zur unteren Schaltschwelle  $U_{ref\_u}$ . Dadurch entsteht eine dreieckförmige/sägezahnförmige Ausgangsspannung  $u_\Delta$ .

kleine Ausgangsströme  $i_{ota}$  erzeugen zu können. Die rampenförmige Ausgangsspannung  $u_{rampe}$  ergibt sich aus der Spannungsdifferenz am Eingang  $u_{tgl} - U_{ref}$  und der OTA-Verstärkung  $g_{ota} := \partial i_{ota} / \partial (u_{tgl} - U_{ref})$  zu

$$u_{rampe} = \frac{1}{C} \int g_{ota} (u_{tgl} - U_{ref}) dt + U_0 \quad (17)$$

und ist je nachdem ob  $u_{tgl}$  HIGH oder LOW ist positiv oder negativ.

4) *Dreieckgenerator*: Der Dreieckgenerator liefert ein dreieck-/sägezahnförmiges Signal, das als Träger für die PWM dient. Die Ausführung des Dreieckgenerators ist in Abbildung 8 zusehen und an den  $RC$ -Kippschwinger aus [4] angelehnt.

Der Dreieckgenerator besteht aus einer Konstantstromquelle  $I_c$  die den Kondensator  $C$  lädt und einer Hystereseschaltung mit einer oberen Schaltschwelle  $U_{ref\_o}$  und einer unteren Schaltschwelle  $U_{ref\_u}$ . Durch die Konstantstromquelle  $I_c$  wird der Kondensator  $C$  geladen und die Spannung

$$u_\Delta = \frac{1}{C} \int_t^{t+T_\Delta} I_c dt + U_{ref\_u} \quad (18)$$

steigt rampenförmig an, bis die obere Schaltschwelle  $U_{ref\_o}$  erreicht ist. Das Erreichen der Schaltschwelle  $U_{ref\_o}$  führt dazu, dass der Komparator U1 umschaltet und das SR-Flip-Flop U3 setzt. Dadurch schaltet der Transistor T1 und entlädt  $C$  in vernachlässigbarer Zeit bis die untere Schaltschwelle  $U_{ref\_u}$  erreicht ist. Das Erreichen der unteren Schaltschwelle  $U_{ref\_u}$  führt zum

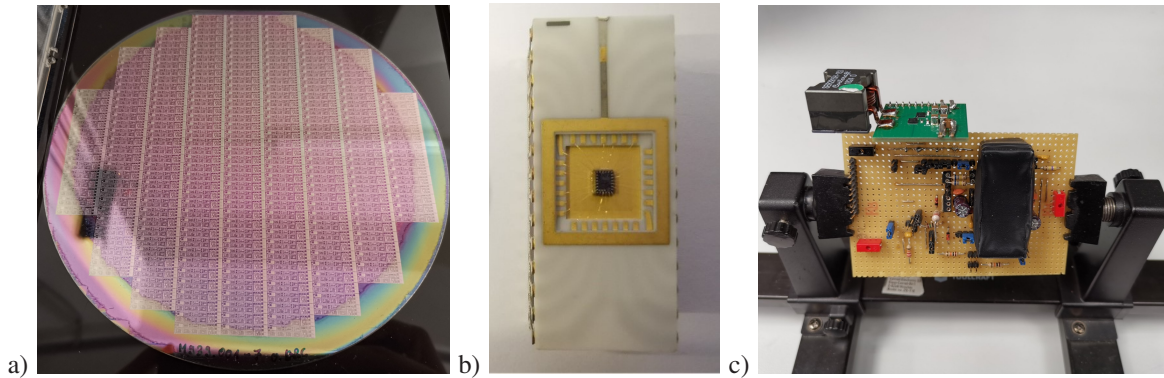


Abbildung 9. a) Produzierter Wafer der entwickelten Schaltung mit dem Smart-BCD Process von Prema Semiconductor. b) In Keramik-Gehäuse verpackter ASIC. c) Entwickelter Testaufbau, bestehend aus Lastpfadplatine mit Tiefsetzsteller und Regelungsplatine mit ASIC.

Umschalten von  $U_2$  und damit zum Zurücksetzen von  $U_3$ , die Schaltung beginnt nun wieder von vorne. Die Frequenz des Dreieckgenerators

$$f_{\Delta} = \frac{I_c}{C(U_{\text{ref}_o} - U_{\text{ref}_u})} \quad (19)$$

ergibt sich durch Einsetzen von  $u_{\Delta} = U_{\text{ref}_o}$  in Gleichung 18 und anschließendem Auflösen.

### III. ERGEBNISSE UND DISKUSSION

Der nachfolgende Abschnitt zeigt den realisierten ASIC und stellt die Messergebnisse vor.

#### A. ASIC und Testschaltung

Die vorgestellte Schaltung wurde bei der Prema Semiconductor GmbH im Smart-BCD Process auf einem 6 Zoll Wafer hergestellt. Der Wafer ist in Abbildung 9.a) zusehen. Der Smart-BCD Process ermöglicht NPN- und PNP-Transistoren mit Kollektorströmen von bis zu 1 A und Spannungen bis zu 80 V [11]. Anschließend wurde der „Die“ des ASICs in einem Dual-In-Line (DIL) Keramik-Gehäuse verpackt (Abbildung 9.b)). Um den ASIC in Betrieb zu nehmen, wurde der Hardwareaufbau aus Abbildung 9.c) entwickelt. Der Aufbau besteht aus dem Lastpfad, der über eine Klemmleiste auf die Regelungsplatine aufgesteckt werden kann. Auf der Regelungsplatine befindet sich der entwickelte ASIC, der durch eine schwarze Box gegen eintreffende Photonen geschützt ist, die einen Fehlerstrom verursachen würden. Der Lastpfad besteht aus einem Tiefsetzsteller wie in Abbildung 2 vorgestellt.

#### B. Messergebnisse

Zur Auswertung des entwickelten ASICs wurde an die Testschaltung ein PV-Modul an den Eingang des Tiefsetzstellers und an den Ausgang ein Lastwiderstand  $R_L$  angeschlossen. Dabei wurde der Lastwiderstand variiert, um den Arbeitsbereich des ASICs aufzunehmen. Abbildung 10 stellt die Ergebnisse der

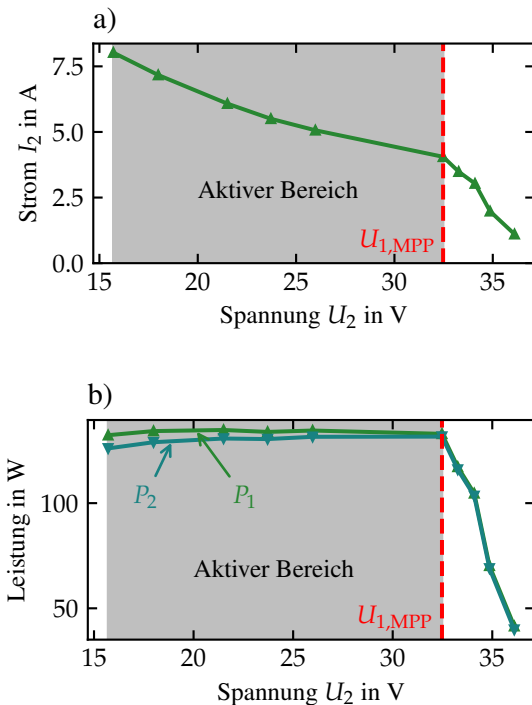


Abbildung 10. Messung der Testschaltung mit ASIC am PV-Modul und Variation des Lastwiderstands  $R_L$ . a) Ausgangsstrom  $I_2$  über der Ausgangsspannung  $U_2$  des Tiefsetzstellers. b) Eingangsleistung  $P_1$  und Ausgangsleistung  $P_2$  über der Ausgangsspannung  $U_2$  des Tiefsetzstellers. Leistungen  $P_1$  entspricht im aktiven Bereich der MPP-Leistung.

Messung vor. Dabei zeigt Abbildung 10.a) den Strom-Spannungsverlauf am Ausgang des Tiefsetzstellers. Der aktive Bereich beginnt ab der MPP-Spannung des PV-Moduls, dann kann der Tiefsetzsteller die Spannung  $U_2$  nach dem Zusammenhang aus Gleichung 3 kleiner machen. Im aktiven Bereich ist dann die Eingangsleistung konstant und entspricht der MPP-Leistung, was auch in Abbildung 10.b) zusehen ist. Die Leistung am Ausgang des Tiefsetzstellers  $P_2$  ist aufgrund von Verlusten der Leistungselektronik etwas

kleiner als  $P_1$ . Aufgrund der konstanten Leistung  $P_2$  und dem Zusammenhang am ohmschen Widerstand ergibt sich für den Strom im aktiven Bereich der hyperbolische Verlauf

$$I_2 = \frac{P_2}{U_2}. \quad (20)$$

Aus diesem Zusammenhang resultiert die untere Spannungsgrenze des aktiven Bereichs, da der Strom  $I_2$  umso größer wird, je kleiner die Spannung  $U_2$  ist und damit der maximale Strom der Induktivität und der Transistoren erreicht wird. Die Spannungsgrenze wird extern über den Strom  $I_2$  eingestellt. Die Messergebnisse zeigen also das gewünschte Verhalten des MPP-Trackers, das PV-Modul wird im aktiven Bereich im MPP gehalten.

#### IV. ZUSAMMENFASSUNG

Um Moduloptimierer möglichst kostengünstig durch das Erhöhen der Taktfrequenz zu realisieren wurde in diesem Paper ein analoger MPP-Tracker entwickelt, der zur Integration in einen ASIC geeignet ist. Das Verfahren des MPP-Trackers basiert auf dem Perturb-And-Observe Algorithmus, der jedoch um einen Spitzenwertdetektor erweitert wurde. Der Spitzenwertdetektor wurde für diese Arbeit neu entwickelt und basiert auf einem Differenzverstärker mit Stromspiegelausgangsstufe und Kondensator. Anschließend erzeugt ein Rampengenerator zusammen mit einem Dreiecksgenerator an einem Komparator das PWM-Signal für die Transistoren. Weiter besitzt die Schaltung einen Watchdog-Timer, um ein Feststecken in einem ungünstigen Arbeitspunkt zu verhindern und sorgt so für einen robusten Betrieb. Die Funktion des ASIC wurde anhand einer Testhardware gezeigt. Dafür wurde der verpackte ASIC auf einer Regelungsplatine zum Ansteuern einer Leistungselektronik verwendet. Die Messergebnisse beweisen die Funktion des ASICs und zeigen, dass das angeschlossene PV-Modul im geforderten Arbeitsbereich der Schaltung im MPP gehalten wird.

#### DANKSAGUNG

Die Autoren bedanken sich bei der BRC Solar GmbH und der Prema Semiconductor GmbH für die Förderung dieser Arbeit und ganz besonders bei Jonas Bargon, Richard Brace und Timm Czarnecki für die fachliche Unterstützung. Weiterhin gilt ein Dank dem Bundesministerium für Wirtschaft und Klima für die Finanzierung der Weiterentwicklung des analogen MPPT im Rahmen des Bundesprojekts Solarpark 2.0 mit der Nummer FKZ: 03EE1135C.

#### LITERATURVERZEICHNIS

- [1] Richard Brace, Angelika Neumann und Rainer Merz. „Kostengünstige Ertragssteigerung teilverschatteter PV-Stränge“. In: *Photovoltaische Solarenergie Bad Staffelstein*. Bd. 33. Apr. 2018.
- [2] Robert W. Erickson und Dragan Maksimovic. *Fundamentals of Power Electronics*. 3. Auflage. Springer-Verlag, 2020. ISBN: 9783030438791.
- [3] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis und Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits*. 5. Edition. Wiley, 2010. ISBN: 978-0470398777.
- [4] A. Grebene. *Bipolar and MOS Analog Integrated Circuit Design*. 1. Auflage. John Wiley & Sons, Inc., 2002.
- [5] *How to select input capacitors for a buck converter*. Texas Instruments. 2016. URL: [https://www.ti.com/lit/an/slyt670/slyt670.pdf?ts=1671014830265&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/an/slyt670/slyt670.pdf?ts=1671014830265&ref_url=https%253A%252F%252Fwww.google.com%252F).
- [6] H. El-Khozondar, Rifa El-Khozondar, Khaled Matter und Teuvo Suntio. „A review study of photovoltaic array maximum power tracking algorithms“. In: *Renewables: Wind, Water, and Solar* 3 (Feb. 2016). DOI: 10.1186/s40807-016-0022-8.
- [7] Mrinal Mandal und Bishnu Charan Sarkar. „Ring oscillators: Characteristics and applications“. In: *Indian Journal of Pure and Applied Physics* 48 (Feb. 2010), S. 136–145.
- [8] Angelika Neumann, T Czarnecki und R. Merz. „>99% Spitzenwirkungsgrad mit Low-Cost-MPPT statt Poweroptimizer“. In: *Photovoltaische Solarenergie Bad Staffelstein*. Bd. 32. März 2017.
- [9] Dierk Schröder und Rainer Marquardt. *Leistungselektronische Schaltungen*. 4. Auflage. Springer Vieweg, 2019. ISBN: 978-3662553244.
- [10] Ulrich Tietze, Christoph Schenk und Eberhard Gamm. *Halbleiter-Schaltungstechnik*. 16. Auflage. Springer Vieweg, 2019. ISBN: 978-3662485538.
- [11] *Triple Well Smart-BCD Process with only 11 Mask Layers - A Process of Unsurpassed Simplicity and Modularity*. PREMA Semiconductor. URL: [https://www.prema.com/index.php/de/know-how/prema-prozess/item/download/47\\_01894e25558788835b2d2467ef8f6390](https://www.prema.com/index.php/de/know-how/prema-prozess/item/download/47_01894e25558788835b2d2467ef8f6390).



**Patrick Mader** erhielt den akademischen Grad B.Eng. in Elektrotechnik mit der Fachrichtung Energietechnik und Erneuerbare Energien von der Hochschule Karlsruhe im Jahr 2019. Anschließend erhielt er im Jahr 2023 den M.Sc. in Elektrotechnik mit der Fachrichtung elektrische Antriebe und Leistungselektronik vom Karlsruher Institut für Technologie. Derzeit arbeitet er an der Hochschule Karlsruhe im Bereich Leistungselektronik für Erneuerbare Energien an seiner Promotion.



**Sascha Eckerter** erhielt den akademischen Grad des Bachelor of Engineering in Mechatronik im Jahr 2020 von der Hochschule Karlsruhe (HKA). Dort erhielt er ebenfalls den akademischen Grad des Master of Science in Elektrotechnik im Jahr 2022 mit Spezialisierung im Bereich Erneuerbaren Energien und Energietechnik. Bis dato arbeitet er an der HKA im Bereich der Regenerativen Energien an seiner Promotion und entwickelt im Zuge seiner Dissertation

eine Simulationsumgebung für den Jahresertrag von Solarparks mit neuer Solartechnik.



**Rainer Merz** studierte Elektrotechnik, Fachrichtung Opto- und Mikroelektronik an der Universität Stuttgart. Im Anschluss wurde er am Institut für Photovoltaik der Universität Stuttgart promoviert. Von 2011 bis 2014 leitete Rainer Merz die Abteilung Insel und Speichersysteme beim Wechselrichterhersteller REFUol. Im Herbst 2014 wurde er als Professor für Regenerative Energiesysteme an die Hochschule Karlsruhe berufen.